

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-264249  
(P2003-264249A)

(43) 公開日 平成15年9月19日 (2003.9.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L 21/8247		B 8 2 B 1/00	Z N M 5 F 0 8 3
B 8 2 B 1/00	Z N M	3/00	5 F 1 0 1
3/00		H 0 1 L 29/06	6 0 1 N
H 0 1 L 27/115		29/78	3 7 1
29/06	6 0 1	27/10	4 3 4
審査請求 未請求 請求項の数36 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願2003-30273(P2003-30273)

(22) 出願日 平成15年2月7日 (2003.2.7)

(31) 優先権主張番号 2002-007709

(32) 優先日 平成14年2月9日 (2002.2.9)

(33) 優先権主張国 韓国 (KR)

(31) 優先権主張番号 2002-071398

(32) 優先日 平成14年11月16日 (2002.11.16)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 崔 原 鳳

大韓民国 京畿道 龍仁市 器興邑 旧葛

里 166番地 旧葛2地区 豊林アパート

103棟 1004号

(74) 代理人 100064414

弁理士 磯野 道造

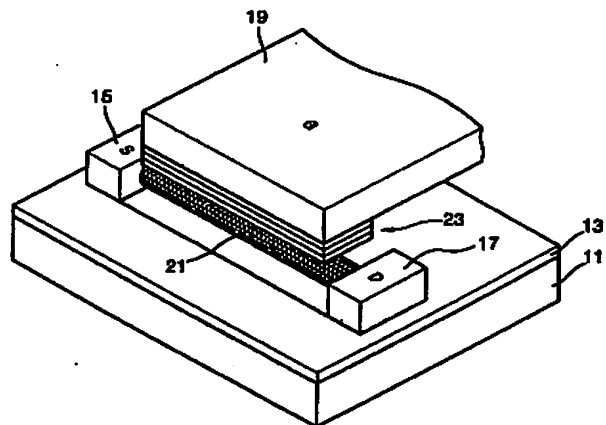
最終頁に続く

(54) 【発明の名称】 炭素ナノチューブを用いるメモリ素子及びその製造方法

(57) 【要約】

【課題】 高い伝導度と高い熱放出度を有するCNTと、電荷貯蔵能力に優れたメモリセルとを備え、誤動作のない高速、高集積のメモリ素子及びその製造方法を提供する。

【解決手段】 基板と、前記基板上に所定間隔離隔して位置し、電圧が印加されるソース電極及びドレイン電極と、前記ソース電極とドレイン電極とを連結し、電子移動のチャンネルとなるCNTと、前記CNTの上部に位置し、前記CNTから流入する電荷を貯蔵するメモリセルと、前記メモリセルの上部と接触し、前記CNTから前記メモリセルに流入する電荷量を調節するゲート電極と、を備える。



【特許請求の範囲】

【請求項1】 基板と、

前記基板上に所定間隔離隔して位置し、電圧が印加されるソース電極及びドレイン電極と、  
前記ソース電極とドレイン電極とを連結し、電子移動のチャンネルとなる炭素ナノチューブと、  
前記炭素ナノチューブの上部に位置し、前記炭素ナノチューブから流入する電荷を貯蔵するメモリセルと、  
前記メモリセルの上部と接触し、前記炭素ナノチューブから前記メモリセルに流入する電荷量を調節するゲート電極と、を備えることを特徴とする炭素ナノチューブメモリ素子。

【請求項2】 前記基板はシリコン基板であることを特徴とする請求項1に記載の炭素ナノチューブメモリ素子。

【請求項3】 前記基板の上部にシリコンオキシド膜が積層されたことを特徴とする請求項2に記載の炭素ナノチューブメモリ素子。

【請求項4】 前記メモリセルは、  
前記炭素ナノチューブの上部に前記炭素ナノチューブと接触するように形成される第1絶縁膜と、  
前記第1絶縁膜の上部に蒸着され、電荷を貯蔵する電荷貯蔵膜と、  
前記電荷貯蔵膜の上部に形成され、前記ゲート電極と接触する第2絶縁膜と、を備えることを特徴とする請求項1に記載の炭素ナノチューブメモリ素子。

【請求項5】 前記第1絶縁膜は前記電荷貯蔵膜とほぼ同じ厚さを有することを特徴とする請求項4に記載の炭素ナノチューブメモリ素子。

【請求項6】 前記第2絶縁膜は前記電荷貯蔵膜より約2倍の厚さを有することを特徴とする請求項4に記載の炭素ナノチューブメモリ素子。

【請求項7】 前記第1及び第2絶縁膜はシリコンオキシド膜であることを特徴とする請求項4に記載の炭素ナノチューブメモリ素子。

【請求項8】 前記電荷貯蔵膜はシリコン膜またはシリコン窒化膜であることを特徴とする請求項4に記載の炭素ナノチューブメモリ素子。

【請求項9】 前記電荷貯蔵膜は15nm以下の厚さを有することを特徴とする請求項4に記載の炭素ナノチューブメモリ素子。

【請求項10】 前記電荷貯蔵膜は電荷貯蔵物質で充填される複数のナノドットが配される多孔膜であることを特徴とする請求項4に記載の炭素ナノチューブメモリ素子。

【請求項11】 前記メモリセルは、  
前記ゲート電極の下部に形成され、前記ゲート電極と接触する第3絶縁膜と、前記第3絶縁膜の下部に形成され、前記炭素ナノチューブと接触し、電荷貯蔵物質で充填される複数のナノドットが配される多孔膜と、を備え

ることを特徴とする請求項1に記載の炭素ナノチューブメモリ素子。

【請求項12】 前記第3絶縁膜は前記多孔膜より約2倍の厚さを有することを特徴とする請求項11に記載の炭素ナノチューブメモリ素子。

【請求項13】 前記第3絶縁膜は前記多孔膜とほぼ同じ厚さを有することを特徴とする請求項11に記載の炭素ナノチューブメモリ素子。

【請求項14】 前記第3絶縁膜はシリコンオキシド膜であることを特徴とする請求項11に記載の炭素ナノチューブメモリ素子。

【請求項15】 前記電荷貯蔵物質はシリコンまたはシリコン窒化物であることを特徴とする請求項10または11に記載の炭素ナノチューブメモリ素子。

【請求項16】 前記多孔膜はアルミニウムオキシド膜であることを特徴とする請求項10または11に記載の炭素ナノチューブメモリ素子。

【請求項17】 前記ナノドットは15nm以下の直径を有することを特徴とする請求項10または11に記載の炭素ナノチューブメモリ素子。

【請求項18】 基板上に炭素ナノチューブを成長させた後、前記炭素ナノチューブを電荷移動チャンネルとするソース電極とドレイン電極とを炭素ナノチューブと接触するように形成する第1段階と、  
前記炭素ナノチューブ、前記ソース電極及びドレイン電極の上部に第1絶縁膜、電荷貯蔵膜及び第2絶縁膜を順次に蒸着した後、フォトリソグラフィ工程を用いてパターンニングして前記炭素ナノチューブと接触するメモリセルを形成する第2段階と、

前記第2絶縁膜の上部に金属層を蒸着した後、フォトリソグラフィ工程を用いてパターンニングして前記炭素ナノチューブから前記電荷貯蔵膜に流入する電荷量を調節するゲート電極を形成する第3段階と、を含むことを特徴とする炭素ナノチューブメモリ素子の製造方法。

【請求項19】 前記第1段階において、前記基板の上面に絶縁層を形成し、前記絶縁層の上面に炭素ナノチューブを成長させることを特徴とする請求項18に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項20】 前記基板はシリコンであり、前記絶縁層はシリコンオキシドであることを特徴とする請求項19に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項21】 前記第1段階において、前記ソース電極とドレイン電極とを電子ビームリソグラフィで形成することを特徴とする請求項18または19に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項22】 前記第2段階において、前記第1絶縁膜と前記貯蔵膜とをほぼ同じ厚さに蒸着することを特徴とする請求項18に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項23】 前記第2段階において、前記第2絶縁

膜は前記貯蔵膜より約2倍の厚さに蒸着することを特徴とする請求項18に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項24】 前記第1及び第2絶縁膜はシリコンオキシドよりなることを特徴とする請求項18に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項25】 前記電荷貯蔵膜はシリコンまたはシリコン窒化物よりなることを特徴とする請求項18に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項26】 前記電荷貯蔵膜は15nm以下の厚さに形成することを特徴とする請求項18に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項27】 基板上に炭素ナノチューブを成長させた後、前記炭素ナノチューブを電荷移動チャンネルとするソース電極とドレイン電極とを炭素ナノチューブと接触するように形成する第1段階と、

前記炭素ナノチューブ、前記ソース及びドレイン電極の上部に第1絶縁膜を蒸着し、陽極酸化してからエッチングして第1絶縁膜が酸化されて形成される複数のナノドットを有する多孔膜を形成する第2段階と、

前記多孔膜の上部に電荷貯蔵物質を蒸着した後、エッチングして前記ナノドットに電荷貯蔵物質を充填する第3段階と、

前記多孔膜の上部に第2絶縁膜を蒸着した後、フォトリソグラフィ工程を用いて前記第1絶縁膜、多孔膜及び第2絶縁膜をパターンニングしてメモリセルを形成する第4段階と、

前記第2絶縁膜の上部に金属層を蒸着した後、フォトリソグラフィ工程を用いてパターンニングして前記炭素ナノチューブから前記多孔膜に流入する電荷量を調節するゲート電極を形成する第5段階と、を含むことを特徴とする炭素ナノチューブメモリ素子の製造方法。

【請求項28】 前記第1段階において、前記基板の上面に絶縁層を形成し、前記絶縁層の上面に炭素ナノチューブを成長させることを特徴とする請求項27に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項29】 前記基板をシリコンで形成し、前記絶縁層をシリコンオキシドで形成することを特徴とする請求項28に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項30】 前記第1段階において、前記ソース電極とドレイン電極とを電子ビームリソグラフィで形成することを特徴とする請求項27または28に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項31】 前記第2段階において、前記第1絶縁膜及び前記多孔膜の厚さをほぼ同一に蒸着することを特徴とする請求項27に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項32】 前記第2段階において、前記第2絶縁膜は前記多孔膜より約2倍の厚さに蒸着することを特徴

とする請求項27に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項33】 前記第1及び第2絶縁膜はシリコンオキシドよりなることを特徴とする請求項27に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項34】 前記電荷貯蔵物質はシリコンまたはシリコン窒化物よりなることを特徴とする請求項27に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項35】 前記多孔膜は15nm以下の厚さに形成することを特徴とする請求項27に記載の炭素ナノチューブメモリ素子の製造方法。

【請求項36】 前記第1段階において、前記第1絶縁膜を全て酸化させて複数のナノドットを有する多孔膜に形成することを特徴とする請求項27に記載の炭素ナノチューブメモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はメモリ素子及びその製造方法に係り、特に炭素ナノチューブ（カーボンナノチューブCarbon NanoTube；以下、CNTと略称する）を電荷移動チャンネルとして備えるメモリ素子及びその製造方法に関する。

【0002】

【従来の技術】半導体を用いたメモリ素子は、基本的な構成要素として、貯蔵された電荷を保存する役割をするキャパシタと、キャパシタからデータを読み出したりキャパシタにデータを書き込んだりする時の電流の通路を確保するためのスイッチの役割をするトランジスタとを有する。

【0003】トランジスタに多量の電流を流すためには、トランジスタ自体が高いトランスコンダクタンス（gm）特性を有さなければならないので、最近では、高いトランスコンダクタンス特性を有するMOSFET（Metal Oxide Semiconductor Field-Effect Transistor）を半導体メモリ素子のスイッチング素子として用いる傾向がある。

【0004】MOSFETは、多結晶質シリコンよりなるゲート電極と、ドーピングされた結晶質シリコンよりなるソース及びドレイン電極を基本的な構成要素として有するトランジスタである。

【0005】MOSFETのトランスコンダクタンスは、同じ電圧条件でチャンネル長（L）、ゲート酸化膜の厚さ等に反比例し、表面移動度、ゲート酸化膜の誘電率及びチャンネルの幅（W）には比例する。これらの変数のうち、表面移動度及び酸化膜の誘電率等は材料、すなわち方向性を有するシリコンウェーハ、シリコン酸化膜等により既定の値であるため制御の対象とはならないので、高いトランスコンダクタンスを持たせるためには、チャンネルの幅と長さとの比（ $W/L$  ratio）を大きくするか、あるいは酸化膜を薄くしなければ

ならない。

【0006】しかし、高集積メモリ素子を製造するためにはMOSFETの物理的な寸法を縮小しなければならない。したがって、ゲート、ソース及びドレイン電極も小さくしなければならないが、これによって多様な問題点が発生する。

【0007】例えば、ゲート電極が小さくなれば、ゲート電極の断面積が減少してトランジスタに大きな電氣的抵抗を誘発する。ソース及びドレイン電極の小型化は厚さ、すなわち接合深さ(junction depths)の減少を誘発してさらに大きな電氣的抵抗を招き、ソースとドレインとの距離を縮めてソース及びドレインの空乏層が相互接するパンチスルー(punch through)現象を誘発して電流の調節が不能となる。また、前述したようなメモリ素子の寸法減少は電流の移動通路であるチャンネルの幅を70nm以下に減少させ、電流の円滑な流れを妨害してメモリ素子の誤動作を誘発する。

【0008】すなわち、一般にMOSFETに基づいたメモリ素子は熱損失、電力消耗、電氣的特性変動、電荷漏れなどの問題によって高密度メモリを実現することが困難である。

【0009】

【発明が解決しようとする課題】本発明が解決しようとする技術的な課題は前記問題点を改善するためのものであって、メモリ素子の小型化による抵抗の増加がなく熱損失、電力消耗、電氣的特性変動、電荷漏れの少ない高速の高集積メモリ素子及びその製造方法を提供することである。

【0010】

【課題を達成するための手段】前記技術的な課題を達成するために本発明は、基板と、前記基板上に所定間隔隔離して位置し、電圧が印加されるソース電極及びドレイン電極と、前記ソース電極とドレイン電極とを連結し、電子移動のチャンネルとなるCNTと、前記CNTの上部に位置し、前記CNTから流入する電荷を貯蔵するメモリセルと、前記メモリセルの上部と接触し、前記CNTから前記メモリセルに流入する電荷量を調節するゲート電極と、を備えることを特徴とするCNTメモリ素子を提供する。

【0011】好ましくは、前記基板はシリコン基板であり、前記基板の上部にシリコンオキシド膜が積層される。前記メモリセルは、前記CNTの上部に前記CNTと接触するように形成される第1絶縁膜と、前記第1絶縁膜の上部に蒸着され、電荷を貯蔵する電荷貯蔵膜と、前記電荷貯蔵膜の上部に形成され、前記ゲート電極と接触する第2絶縁膜と、を備える。前記第1絶縁膜は前記電荷貯蔵膜とほぼ同じ厚さを有し、前記第2絶縁膜は前記電荷貯蔵膜より約2倍の厚さを有することが望ましい。前記第1及び第2絶縁膜はシリコンオキシド膜よりなり、前記電荷貯蔵膜はシリコン膜またはシリコン窒化

膜よりなる。前記電荷貯蔵膜は15nm以下の厚さを有することが望ましい。前記電荷貯蔵膜は、好ましくは、電荷貯蔵物質で充填される複数のナノドットが配される多孔膜である。

【0012】また、前記メモリセルは、前記ゲート電極の下部に形成され、前記ゲート電極と接触する第3絶縁膜と、前記第3絶縁膜の下部に形成され、前記CNTと接触し、電荷貯蔵物質で充填される複数のナノドットが配される多孔膜と、を備える。前記第3絶縁膜は、好ましくは、前記多孔膜より約2倍の厚さを有するか、あるいはほぼ同じ厚さを有しうる。前記第3絶縁膜はシリコンオキシド膜であり、前記電荷貯蔵物質はシリコンまたはシリコン窒化物である。前記多孔膜はアルミニウムオキシド膜である。前記ナノドットは15nm以下の直径を有することが望ましい。

【0013】また、前記技術的な課題を達成するために本発明は、基板上にCNTを成長させた後、前記CNTを電荷移動チャンネルとするソース電極とドレイン電極とをCNTと接触するように形成する第1段階と、前記CNT、前記ソース電極及びドレイン電極の上部に第1絶縁膜、電荷貯蔵膜及び第2絶縁膜を順次に蒸着した後、フォトリソグラフィ工程を用いてパターニングして前記CNTと接触するメモリセルを形成する第2段階と、前記第2絶縁膜の上部に金属層を蒸着した後、フォトリソグラフィ工程を用いてパターニングして前記CNTから前記電荷貯蔵膜に流入する電荷量を調節するゲート電極を形成する第3段階と、を含むことを特徴とするCNTメモリ素子の製造方法を提供する。

【0014】あるいは、基板上に炭素ナノチューブを成長させた後、前記炭素ナノチューブを電荷移動チャンネルとするソース電極とドレイン電極とを炭素ナノチューブと接触するように形成する第1段階と、前記炭素ナノチューブ、前記ソース及びドレイン電極の上部に第1絶縁膜を蒸着し、陽極酸化してからエッチングして第1絶縁膜が酸化されて形成される複数のナノドットを有する多孔膜を形成する第2段階と、前記多孔膜の上部に電荷貯蔵物質を蒸着した後、エッチングして前記ナノドットに電荷貯蔵物質を充填する第3段階と、前記多孔膜の上部に第2絶縁膜を蒸着した後、フォトリソグラフィ工程を用いて前記第1絶縁膜、多孔膜及び第2絶縁膜をパターニングしてメモリセルを形成する第4段階と、前記第2絶縁膜の上部に金属層を蒸着した後、フォトリソグラフィ工程を用いてパターニングして前記炭素ナノチューブから前記多孔膜に流入する電荷量を調節するゲート電極を形成する第5段階と、を含むことを特徴とする炭素ナノチューブメモリ素子の製造方法を提供する。

【0015】前記第1段階において、好ましくは、前記基板の上面に絶縁層を形成し、前記絶縁層の上面にCNTを成長させる。前記基板はシリコンであり、前記絶縁層はシリコンオキシドである。前記第1段階において、

前記ソース電極とドレイン電極とを電子ビームリソグラフィで形成する。前記第2段階において、前記第1絶縁膜と前記貯蔵膜とをほぼ同じ厚さに蒸着し、前記第2絶縁膜は前記多孔膜より約2倍の厚さに蒸着することが望ましい。前記第1及び第2絶縁膜はシリコンオキシドよりなる。前記電荷貯蔵膜はシリコンまたはシリコン窒化物よりなる。

【0016】前記電荷貯蔵膜は15nm以下の厚さに形成することが望ましい。前記第1段階において、前記第1絶縁膜を全て酸化させて複数のナノドットを有する多孔膜に形成することが望ましい。

【0017】本発明は、CNTを電荷移動チャンネルとして用いるので半導体メモリ素子のドーピング工程を必要とせず、電気伝導度、熱伝導度の大きなCNTを用いるので、メモリ素子の高集積による抵抗の増加問題または誤動作の問題が解決される。また、電荷を貯蔵する電荷貯蔵膜またはナノドットが形成される多孔膜を有するメモリセルを備えるメモリ素子を形成するので、高効率の高集積メモリ素子を実現することができる。

【0018】

【発明の実施の形態】以下、添付した図面にに基づき、本発明の実施例に係るメモリ素子及びその製造方法を詳細に説明する。

【0019】図1は、本発明の実施例に係るメモリ素子を示す斜視図である。図1を参照すれば、本発明の実施例に係るメモリ素子は、基板11と、前記基板11上に積層された絶縁層13と、前記絶縁層13上に所定間隔に離隔して位置し、金属よりなるソース電極15及びドレイン電極17と、前記ソース電極15及びドレイン電極17を連結し、電子移動チャンネルとなるCNT21と、前記CNT21と接触するように位置し、前記CNT21から流入する電子を貯蔵するメモリセル23と、前記メモリセル23に接触して前記電子の移動を制御するゲート電極19と、を備える。

【0020】図面においてソース及びドレイン電極15、17が基板11の上部に位置しているが、ソースドレイン電極15、17が基板11の内部に位置しても良い。この場合、CNT21は基板11の内部やその表面に接して位置することになる。

【0021】基板11はシリコン基板であり、その上部に積層された絶縁層13はシリコンオキシドであることが一般的である。

【0022】ソース及びドレイン電極15、17はTi、Au等の金属よりなり、ゲート電極19はポリシリコン等の金属よりなる。また、前記トランジスタ構造はフォトリソグラフィ、eビームリソグラフィ、エッチング、酸化、薄膜蒸着のような公知の半導体工程によってなされる。

【0023】CNT21は、炭素の同素体として各炭素原子が他の炭素原子と結合して形成された六角形の蜂巣

状であるが、これは複数の炭素原子が結合して形成された黒鉛面がナノサイズの直径で丸く巻かれた形をなしている。CNT21は黒鉛面の巻かれる角度及び構造によって金属または半導体の特性を示し、このようなCNTの特性を用いた研究が先端産業分野、特にナノ技術産業分野で活発に進められている。

【0024】CNTは、その電気的な性質によって異なる2種のCNTに分けられる。すなわち、ゲート電圧に関係なく、電流電圧特性が線形関係を示す金属性CNTと、ゲート電圧に大きく影響され、電流電圧特性が非線形関係を示す半導体特性のCNTとに分けられる。

【0025】本発明の実施例に係るメモリ素子に用いられるCNT21は半導体特性のCNTであって、ゲート電極19に印加される電圧によってCNT21を通じて移動する電子の流れ、すなわち電流が制御される。

【0026】CNT21は電気放電法、レーザー蒸着法、プラズマ化学気相蒸着法(PlasmaEnhanced Chemical Vapor Deposition: PECVD)、熱化学気相蒸着法、気相合成法などを用いて製造することができる。

【0027】本発明の実施例に係るメモリ素子に使われる第1メモリセル、第2メモリセル及び第3メモリセルを各々図2、図3A及び図3Bに示している。

【0028】図2は、本発明の実施例に係るメモリ素子に使われる第1メモリセルの断面図である。図2を参照すれば、本発明の実施例に係るメモリ素子に使われる第1メモリセル23は、第1及び第2絶縁膜20、24と電荷貯蔵膜22とよりなる。電荷貯蔵膜22は電荷、すなわち電子と正孔とを貯蔵し、第1及び第2絶縁膜20、24の間に形成される。第1及び第2絶縁膜20、24はシリコンオキシド( $\text{SiO}_2$ )よりなり、電荷貯蔵膜22はシリコン(Si)またはシリコン窒化物( $\text{Si}_3\text{N}_4$ )よりなる。特に、 $\text{Si}_3\text{N}_4$ 薄膜は多数の電荷を貯蔵できる低電位トラップサイトを提供する。

【0029】第1メモリセル23の全体層の厚さは約60nmであり、電荷貯蔵膜22の厚さは約15nm以下であることが望ましい。電荷貯蔵膜22として用いられるシリコン膜またはシリコン窒化膜は、100nm以下の厚さで電子を貯蔵する機能を有することが確認された。ここで、第1絶縁膜20は、図1に示すCNT21から注入される電荷のトンネリングを容易にするように薄く形成することが望ましい。

【0030】第2絶縁膜24はゲート電極19から電荷注入を抑制して電荷貯蔵膜22に貯蔵された電荷を長期間保持可能に厚く形成することが望ましい。例えば、第1絶縁膜20は7nmのオキシド薄膜で形成し、電荷貯蔵膜22は7nmの $\text{Si}_3\text{N}_4$ 薄膜で形成し、第2絶縁膜24は14nmのオキシド薄膜で形成することができる。すなわち、第1絶縁膜20、電荷貯蔵膜22及び第2絶縁膜24の厚さ比が1:1:2となるように形成してCNTから移動した電荷を電荷貯蔵膜22に長時間安

定して保持することができる。

【0031】図3Aは、本発明の実施例に係るメモリ素子に使われる第2メモリセルの断面図である。図示のように、本発明の実施例に係るメモリ素子に使われる第2メモリセル25は、前記ゲート電極19に接触するように形成される第3絶縁膜29と、前記第3絶縁膜29の下部に蒸着され、電荷貯蔵物質28が充填された複数のナノドット27が配される多孔膜26を含む。

【0032】前記第3絶縁膜29はシリコンオキシドよりなり、電荷貯蔵物質28はシリコンまたはシリコン窒化物よりなる。望ましくは第3絶縁膜29を多孔膜26より厚くしてナノドット27の電荷貯蔵物質28を安定的に貯蔵することができる。

【0033】図3Bは、本発明の実施例に係るメモリ素子に使われる第3メモリセル35を示す断面図である。本発明の実施例に係るメモリ素子に使われる第3メモリセル35は、第2メモリセル25の多孔膜26の下部に絶縁膜がさらに積層された構造であって、第4絶縁膜34と、電荷貯蔵物質38とが充填される複数のナノドット37が位置する多孔膜36と、第5絶縁膜34'とを備える。第4絶縁膜34は図1に示すゲート電極19からの電荷注入を抑制して電荷貯蔵物質38に保持された電荷を長時間保つために厚く形成されることが望ましく、第5絶縁膜34'はCNT21から電子または正孔が容易にトンネリングされて多孔膜36に移動するように薄く形成することが望ましい。

【0034】図4は、図3Bに示す本発明の実施例に係るメモリ素子に用いられる第3メモリセル35において第4絶縁膜34は $\text{SiO}_2$ よりなり、多孔膜36及び第3絶縁膜34'は $\text{Al}_2\text{O}_3$ よりなり、電荷貯蔵物質38はSi（または $\text{Si}_3\text{N}_4$ ）よりなるSEM（Scanning Electron Microscopy）写真を示している。

【0035】図5A及び図5Bは、本発明の実施例に係るメモリ素子でソース電極15とドレイン電極17とを連結するCNT21を示すSEM写真である。生成されたCNT21は原子力マイクロスコピーを用いて測定した結果、約3nmの直径を有すると測定された。

【0036】図6Aないし6Iは、第1メモリセル23を備える本発明の実施例に係るメモリ素子を製造する方法を示す工程図である。

【0037】まず、図6Aに示すように、基板11の上面に絶縁層13を蒸着した後、その上面にCNT21を成長させる。CVD技術により生成されるCNTパウダーはクロロホルム溶液に分散された後、絶縁層13上の複数の地点に塗布されてから乾燥される。図面では一領域上に形成された単一のCNT21だけを示している。

【0038】次いで、図6Bに示すように、ソース及びドレイン電極を形成するための導電性物質層14、例えばAuまたはTiのような金属層よりなる物質層14を絶縁層13上に蒸着した後、マスク12aを導電性物質

層14の上部に位置させ、電子ビームリソグラフィでパターンニングする。パターンニングの後に形成されたソース及びドレイン電極15、17をサーマルアニーリング（thermal annealing）して接触抵抗を減少させることが望ましい。例えば、真空環境で600℃に約30秒間急速アニーリングさせることができる。このような方式で形成されたソース及びドレイン電極15、17を、図6Cに示す。

【0039】図6Dないし図6Fは、第1メモリセル23を蒸着する工程を示している。図6Dを参照すれば、ソース及びドレイン電極15、17と、ソース及びドレイン電極15、17間に両電極15、17を連結するCNT21の上部及び、絶縁層13の表面に第1絶縁膜20a、電荷貯蔵膜22a及び、第2絶縁膜24aを順次に蒸着してメモリセル23aを形成する。次いで、図6Eに示すように、上部にマスク12bを位置させて露光及び現像した後、図6Fに示すようにソース及びドレイン電極15、17とCNT21の上部に接触する第1メモリセル23を形成する。第1メモリセル23はオキシドよりなる第1絶縁膜20、Siまたは $\text{Si}_3\text{N}_4$ よりなる電荷貯蔵膜22及び、オキシドよりなる第2絶縁膜24を含む。オキシド膜を形成するためには $\text{SiH}_4$ 及び $\text{O}_2$ ガスを混合してCVD法を用いて、 $\text{Si}_3\text{N}_4$ 膜を形成するためには $\text{SiH}_4$ 、 $\text{CH}_4$ 及び $\text{NH}_3$ ガスをを用いる。

【0040】図6Gないし6Iは、ゲート電極を形成する工程を示している。図6Gを参照すれば、ゲート電極を形成するための金属層18を絶縁層13の表面に蒸着してソース及びドレイン電極15、17と、CNT21とメモリセル23とを塗布する。図6Hに示すように金属層18の上部にマスク12cを位置させて露光及び現像してエッチングすれば、図6Iに示すようにゲート電極19がパターンニングされる。

【0041】図7Aないし図7Eは、本発明の実施例に係るメモリ素子に採用される第3メモリセル35の工程図である。まず、図7Aに示すように、第5絶縁膜34'を酸化させれば、上部に第5絶縁膜34'の酸化膜36'が形成されるが、これに電気を加えて酸化させてエッチングすれば、図7Bに示すように複数のナノドット37が形成される多孔膜36が製造される。例えば、第5絶縁膜34'としてアルミニウムを使用する場合、これを硫酸溶液または硝酸溶液に入れて電気を加えて酸化させれば、図に示すような複数のナノドット37が形成される。このような酸化を陽極酸化という。アルミニウムが酸化されるとアルミナに形成され、体積が若干大きくなる。

【0042】次いで、図7Cに示すように、この複数のナノドット37に電荷貯蔵膜22をなす物質として使われるシリコンまたはシリコン窒化物をCVD、スパッタリング等を用いて充填し、図7Dに示すように乾式エッチングすれば、電荷を捕集しうる多孔膜36が形成され

る。図7Eに示すように、上面に第4絶縁膜34を蒸着すれば、第3メモリセル35が完成される。このような第3メモリセル35を備えるメモリ素子を製造する方法は、図6Aないし図6Cに示すようにCNT21とソース及びドレイン電極15、17を形成した後、第3メモリセル35をCNT21の上部に形成し、第3メモリセル35の形成後、図6Gないし6Iに示すような工程を用いてゲート電極19を形成することができる。

【0043】第2メモリセル25も類似した方法で形成される。第3メモリセル35を形成する工程で第5絶縁膜34'を完全に酸化させて複数のナノドット27を有する多孔膜26を形成し、ナノドット27に電荷貯蔵物質28を充填してエッチングした後、上部に第3絶縁膜29を蒸着すれば図3Aに示すような第2メモリセル25が形成される。

【0044】本発明の実施例に係るメモリ素子において、ソース電極15を接地し、ドレイン電極17に正電圧を印加すればCNT21に電子が移動して電流が流れることになる。この際、ゲート電極19に、ドレイン電極17に与えられたドレイン電圧より高い所定のゲート電圧を印加すれば電子がCNT21からメモリセル23、25、35に移動して第1絶縁膜20または第5絶縁膜34'をトンネリングして電荷貯蔵膜22またはナノドット27、37に移動する。ゲート電圧とドレイン電圧とを適切に調節して電荷貯蔵膜22及びナノドット27、37に電子を貯蔵、消去及び流出して情報の記録、除去及び再生を行うことができる。

【0045】図8Aは、単一の上ゲート電極と、その下部に位置する多数のソース及びドレイン電極、CNTを含むメモリ素子の平面図である。図8Bは、図8Aの一ソース電極Sとドレイン電極D間にCNTが連結された写真を示している。

【0046】本発明の実施例に係るメモリ素子はメモリセルを構成する貯蔵膜の材質と厚さ、多孔膜に配される複数のナノドットの直径と長さ及び、前記ナノチューブチャンネルを充填する物質の材質を適切に調節してゲート電圧及びソースドレイン電圧を適切に調整して揮発性または不揮発性メモリで動作させることができる。

【0047】図9は、本発明の実施例に係るメモリ素子でゲート電圧が0Vから10Vに変動する場合、ソース及びドレイン電極間の電圧とソース及びドレイン電極間の電流との関係を示すグラフである。

【0048】 $f_1$ は、ゲート電圧が0Vである場合、ソースドレイン電圧 $V_{gs}$ の変化に関係なくソースドレイン電流 $I_d$ が0となることを示している。

【0049】 $f_2$ は、ゲート電圧が10Vである場合、ソース及びドレイン電圧 $V_{gs}$ が正の値で増加すれば、ソースドレイン電流 $I_d$ が0Aから約1000nAまで増加することを示し、ソースドレイン電圧が負の値で減少する場合、0Aから約-1000nAまで減少する

ことを示している。

【0050】一定のソースドレイン電圧でゲート電圧が0である場合、ソースドレイン間に電子移動がないので情報が記録できず、ゲート電圧が0より大きい場合にソースドレイン電流が流れ始めてゲート電圧を増加させつつ所定数の電子を捕獲して情報を貯蔵することができる。

【0051】図10は、28nm ONO薄膜よりなる電荷貯蔵膜を有するCNT FET (Field Effect Transistor) でゲート電圧の変化に対するソース及びドレイン電極間電流 $I_{ds}$ の変化を示すグラフである。

【0052】ソース及びドレイン電極間電流 $I_{ds}$ は負のゲート電圧が増加するほど共に増加し、正のゲート電圧では数フェムトアンペア(fA)まで減少するp型CNT FETの電流-電圧( $I-V$ )特性を示す。オフ状態の電流 $I_{off}$ に対するオン状態の電流 $I_{on}$ 比( $I_{on}/I_{off}$ )はゲート電極が-4V~4Vに変わる場合、 $V_{sd}=1V$ である時、 $10^4$ を超えるものと現れる。オフ状態の電流は測定期間の間に数pA未満に保たれた。これはメモリ素子のゲート電極が位置する構造とONO薄膜の高いブレークダウン電圧によったものと見なされる。フラッシュ型メモリでは $I_{on}/I_{off}$ 比率が高いほどスレショルド電圧が高まって性能が向上される。

【0053】図11Aは、7nm厚さのメモリセル( $SiO_2/Si_3N_4/SiO_2$ )を備えるP型CNTメモリ素子の電流-電圧( $I-V$ )特性を示し、図11Bは30nm厚さのメモリセル( $SiO_2/Si_3N_4/SiO_2$ )を備えるN型CNTメモリ素子の電流-電圧( $I-V$ )特性を示す。

【0054】図11Aを参照すれば、P型CNTメモリ素子において $I_d$ は $V_{gs}$ の高低によって多少の差はあるが、ゲート電圧 $V_g$ が約2.5Vとなれば、ドレイン電流 $I_d$ が急激に減少する現象を示す。

【0055】図11Bを参照すれば、N型CNTメモリ素子でドレイン電流 $I_d$ は $V_{gs}=3V$ である時、ゲート電圧が4V以上になれば明確なヒステリシス現象を示す。

【0056】図12は、N型CNTメモリ素子で異なる $V_{gs}$ が印加される時、ゲート電圧 $V_g$ が0Vから1Vに変化することによるドレイン電流 $I_d$ の変化を示すグラフである。

【0057】図面を参照すれば、 $n_1$ は $V_{gs}$ が0Vである時、 $n_2$ は $V_{gs}$ が-5Vである時、 $n_3$ は $V_{sd}$ が-5.5Vである時、 $n_4$ は $V_{gs}$ が-6Vである時、 $n_5$ は $V_{gs}$ が-6.5Vである時の $V_g$ に対する $I_d$ の変化を示す。 $n_1$ ないし $n_5$ から $I_d$ は $V_g$ の増加に伴って増加していて約0.6V飽和されることを見られる。

【0058】 $h$ をメモリセル、すなわちONO膜の厚さとし、 $L$ 及び $r$ を各々CNTの長さとする場合、

単位長さ当たりCNTの静電容量は数式1のようである。

【0059】

【数1】

$$C/L \cong 2\pi\epsilon_0 / \ln(2h/r)$$

【0060】ONO膜の有効誘電定数 $\epsilon = 3$ 、 $h = 30$  nm、 $r = 1.5$  nm、 $L = 1$   $\mu$ m及び、欠損ゲート電圧( $V_{go}$ ) $= 2$  Vを数式1に代入すれば、正孔密度 $P$ は $580 \mu\text{m}^{-1}$ が得られる。この際、正孔モビリティ( $\mu_h$ )は数式2として提示される。

【0061】

【数2】

$$\mu_h = 29\text{cm}^2 / (\text{V} \cdot \text{S})$$

【0062】この値はSWNT (Single wall nanotube) 及びMWNT (Multi wall nanotube) の正孔モビリティより高い値である。

【0063】図13は、同じメモリ素子で $d = 50$  nAで一定した場合、 $V_g$ の変化によるスレショルド電圧の変化を示すグラフである。

【0064】印加される正のゲート電圧はスレショルド電圧を上昇させるが、これは正孔がCNTからONO薄膜に注入されてトラップサイトが正孔で充填されることを意味する。0 Vから7 Vにゲート電圧 $V_g$ が増加する時、スレショルド電圧は約60 mVが増加して正孔が準量子化(quasi-quantized)されたことが分かる。

【0065】図14は、CNTとゲート電極間の電場の簡略なダイヤグラムと、CNTとゲート電極間の単位距離当たりゲート表面で誘導される表面電荷密度 $\sigma$ のグラフを示している。

【0066】図14を参照すれば、ゲート電圧はCNTの表面周囲に高い電場を形成する。ゲート電極は完璧なコンダクターと見なしてCNT直径を3 nmとする時、CNTとゲート電極間のONO薄膜は有効誘電定数3を有する単一層であると仮定できるので、CNT近くの電場を計算できる。ゲート電圧が5 Vである場合、計算される電場は $970 \text{ V} / \mu\text{m}$ であり、その大きさはファウラノドハイム(Fowler Nodheim)形態のトンネリングを生成するのに十分である。しかも、トンネリングされた電荷が電場ラインに沿って流れれば、電荷は誘導された電荷分布により計算される電場の強度に比例して窒化膜にトラップされる。計算において全体トンネリングされた電荷の70%は電荷密度ピーク値のFWHM (Full Width at Half Maximum) に対応し、ONO薄膜の14 nm厚さの窒化薄膜に注入されうる。室温で電荷は量子点の大きさが10 nm以下である時、量子化されるものと知られている。グラフを参照すれば、誘導電荷密度 $\sigma$ はCNTに近づくほど増加する。

【0067】図15は、100秒間のドレイン電流 $I_d$ の変化を示すグラフである。局所化された電荷分布は局所化されたCNTの高い電場分布によって窒化膜内に誘

導でき、局所的な領域にトラップされた電荷は電荷が貯蔵されていない領域に拡散されうるが、全体電流は図示のように時間が経過しても一定に残っている。これよりCNTメモリ素子のONO薄膜に電荷を貯蔵するトラップサイトはフラッシュメモリの量子点として作用することが分かる。

【0068】本発明はCNT-FET及びONO薄膜を用いる不揮発性メモリであって、電荷はONO薄膜のトラップサイトに貯蔵される。貯蔵された電荷は60 mV程度の量子化された電圧増加分を有する。これはONO薄膜が準量子化されたエネルギー状態を有することを示す。量子化された状態はナノスケールのCNTチャンネルに係る局所化された高電場と関係があり、CNTメモリ素子が超高密度大容量フラッシュメモリとして作動可能であることを示す。

【0069】本発明の実施例に係るメモリ素子は、既存の半導体素子においてソースとドレイン間の電子の移動に必要なイオン注入型チャンネルの代りにCNTを用いて電荷を貯蔵する電荷貯蔵膜またはナノドットを有する多孔膜を備えるために別途のキャパシタが要らない。

【0070】また、高電子伝導度及び熱伝導度の特性を有するCNTを電子移動チャンネルとして用いて小型のトランジスタが製造できて高集積、高効率のメモリ素子を具現できる。

【0071】前述した多くの事項が具体的に記載されているが、それらは発明の範囲を限定するためのものではなく、望ましい実施例の例示として解釈されねばならない。

【0072】例えば、本発明が属する技術分野で当業者ならば本発明の技術的思想により電荷貯蔵膜または電荷貯蔵物質として電子を捕獲する特性に優れた他の物質を利用できる。よって、本発明の範囲は前記実施例によって決ることではなく、特許請求の範囲の技術的思想によってのみ決るべきである。

【0073】

【発明の効果】前述したように本発明に係るメモリ素子は、高伝導度のCNTを用いる小型のトランジスタと電子を貯蔵するメモリセルとを備えるので、高効率の高集積メモリ素子が具現できる。

【図面の簡単な説明】

【図1】本発明の実施例に係るメモリ素子の斜視図である。

【図2】本発明の実施例に係るメモリ素子に採用される第1メモリセルの断面図である。

【図3A】本発明の実施例に係るメモリ素子に採用される第2メモリセルを示す断面図である。

【図3B】本発明の実施例に係るメモリ素子に採用される第3メモリセルを示す断面図である。

【図4】本発明の実施例に係るメモリ素子に採用される第3メモリセルのSEM写真である。



【図5A】本発明の実施例に係るメモリ素子における、ソース電極とドレイン電極とを連結する炭素ナノチューブを示すSEM写真である。

【図5B】本発明の実施例に係るメモリ素子における、ソース電極とドレイン電極とを連結する炭素ナノチューブを示すSEM写真である。

【図6A】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、基板上面に形成した絶縁層の上にCNTを成長させる工程を示す。

【図6B】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、導電性物質層の上部にマスクを配置する工程を示す。

【図6C】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、ソース電極及びドレイン電極形成後を示す。

【図6D】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、第1絶縁膜、電荷貯蔵膜、第2絶縁膜を順次成膜する工程を示す。

【図6E】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、マスキング・露光・現像工程を示す。

【図6F】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、第1メモリセル形成後を示す。

【図6G】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、ゲート電極を形成するための金属層を蒸着する工程を示す。

【図6H】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、ゲート電極を形成するためのマスキング・露光・現像工程を示す。

【図6I】第1メモリセルを採用する本発明の実施例に係るメモリ素子の製造工程図であり、ゲート電極のパターニング後を示す。

【図7A】本発明の実施例に係るメモリ素子に採用される第3メモリセルの製造工程図であり、酸化膜形成工程を示す。

【図7B】本発明の実施例に係るメモリ素子に採用される第3メモリセルの製造工程図であり、多孔膜形成工程を示す。

【図7C】本発明の実施例に係るメモリ素子に採用される第3メモリセルの製造工程図であり、ナノドットにシリコン又はシリコン窒化物を充填する工程を示す。

【図7D】本発明の実施例に係るメモリ素子に採用される第3メモリセルの製造工程図であり、乾式エッチング

後の多孔膜を示す。

【図7E】本発明の実施例に係るメモリ素子に採用される第3メモリセルの製造工程図であり、第4絶縁膜を成膜して第3メモリセルを形成する工程を示す。

【図8A】本発明の実施例に係るメモリ素子の構造を示す平面図であり、

【図8B】図8Aのソース及びドレイン電極間CNTチャンネルを示す図面である。

【図9】本発明の実施例に係るメモリ素子においてソースドレイン間電圧 $V_{sd}$ の変化に対するソースドレイン間電流 $I_{sd}$ の変化を示すグラフである。

【図10】本発明の実施例に係るメモリ素子においてゲート電圧 $V_g$ の変化に対するソースドレイン間電流 $I_{sd}$ の変化を示すグラフである。

【図11A】本発明の実施例に係るP型メモリ素子のゲート電圧 $V_g$ の変化に対するソースドレイン間電流 $I_{sd}$ の変化を示すグラフである。

【図11B】本発明の実施例に係るN型メモリ素子のゲート電圧 $V_g$ の変化に対するソースドレイン間電流 $I_{sd}$ の変化を示すグラフである。

【図12】本発明の実施例に係るN型メモリ素子において所定のソースドレイン間電圧でゲート電圧 $V_g$ の変化に対するドレイン電流 $I_d$ の変化を示すグラフである。

【図13】本発明の実施例に係るメモリ素子においてドレイン電流 $I_d$ が50nAである時、ゲート電圧 $V_g$ の変化に対するスレショルド電圧 $V_{th}$ の変化を示すグラフである。

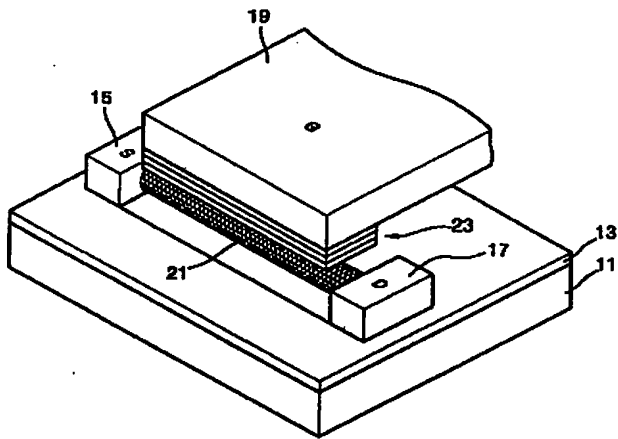
【図14】本発明の実施例に係るメモリ素子においてCNTとゲート電極間の電場と、本発明の実施例に係るメモリ素子でCNTとゲート電極間の単位距離当りゲート表面から誘導される表面電荷密度 $\sigma$ のグラフである。

【図15】本発明の実施例に係るメモリ素子において100秒間のドレイン電流 $I_d$ の変化を示すグラフである。

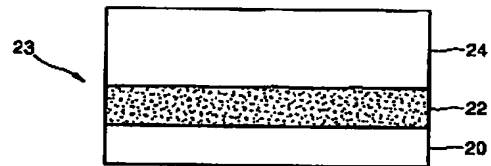
【符号の説明】

- 11 基板
- 13 絶縁層
- 15 ソース電極
- 17 ドレイン電極
- 19 ゲート電極
- 21 CNT
- 23 メモリセル

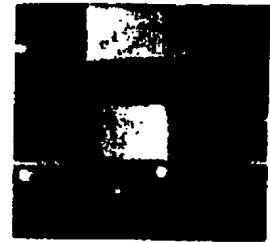
【図1】



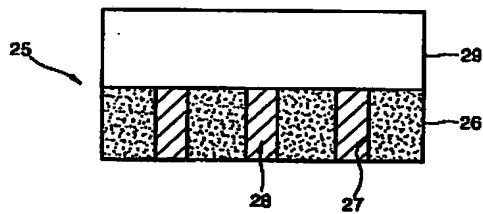
【図2】



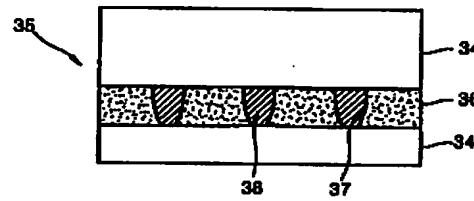
【図5B】



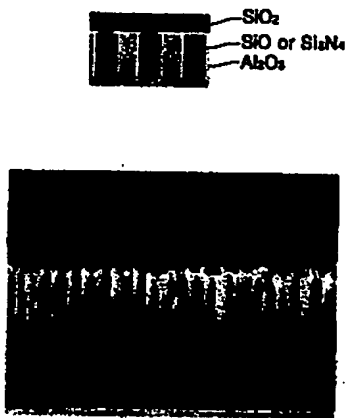
【図3A】



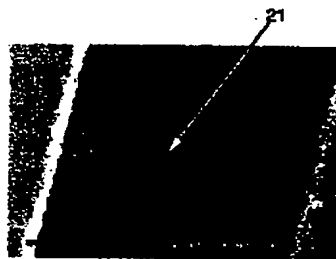
【図3B】



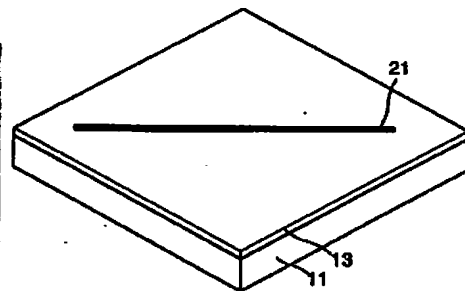
【図4】



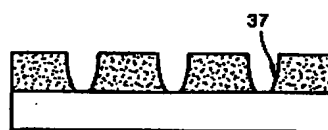
【図5A】



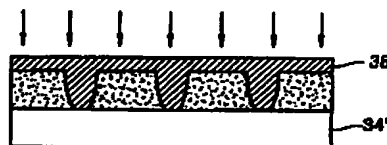
【図6A】



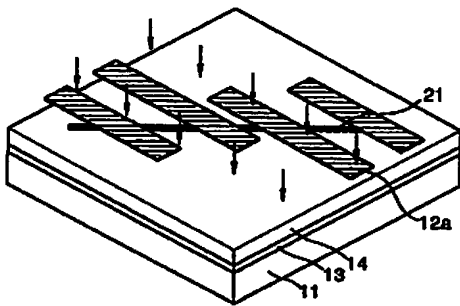
【図7B】



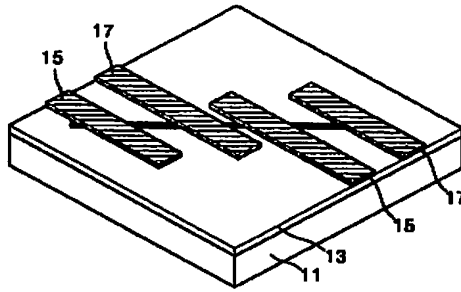
【図7C】



【図6B】



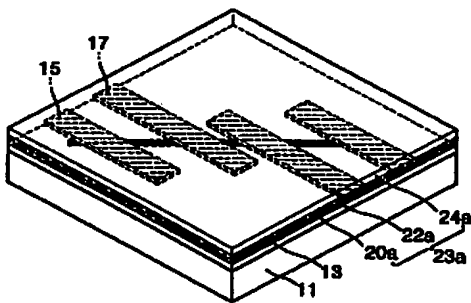
【図6C】



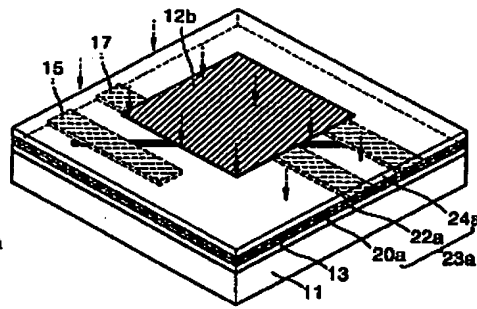
【図8A】



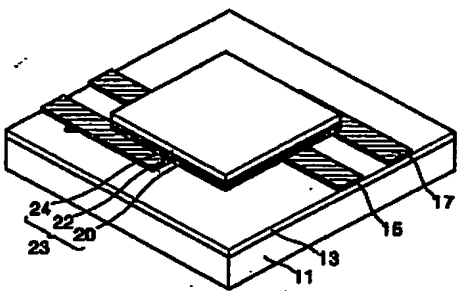
【図6D】



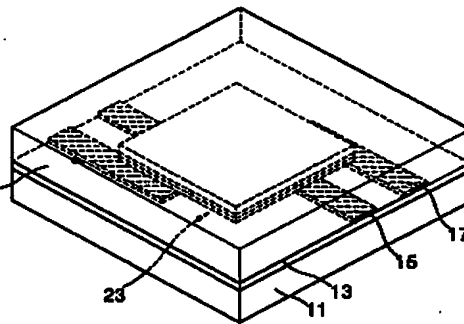
【図6E】



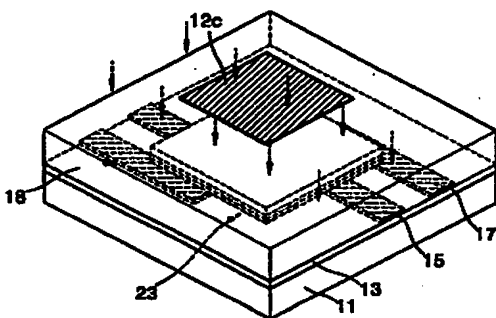
【図6F】



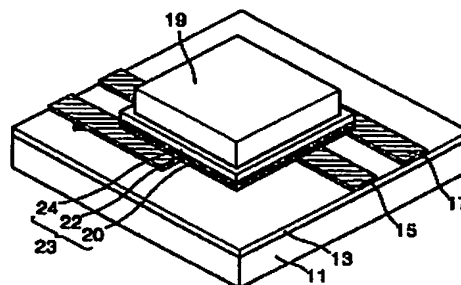
【図6G】



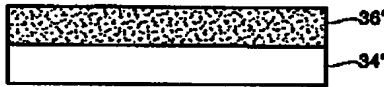
【図6H】



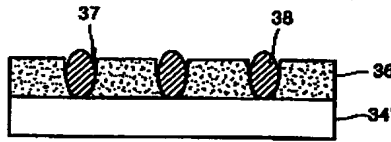
【図6I】



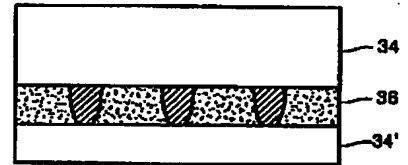
【図7A】



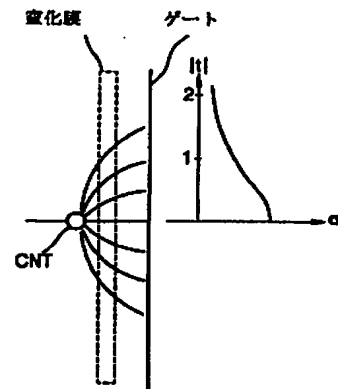
【図7D】



【図7E】



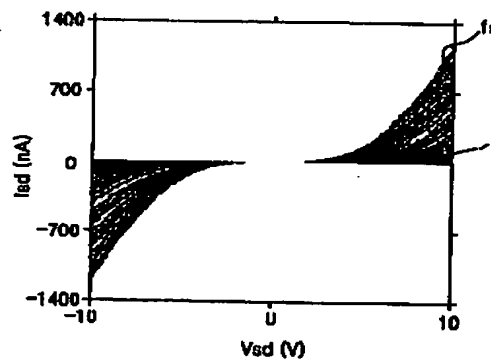
【図14】



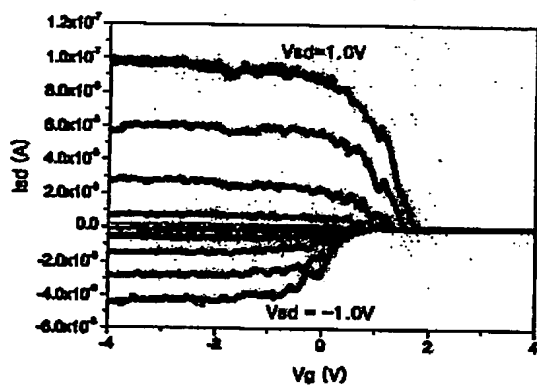
【図8B】



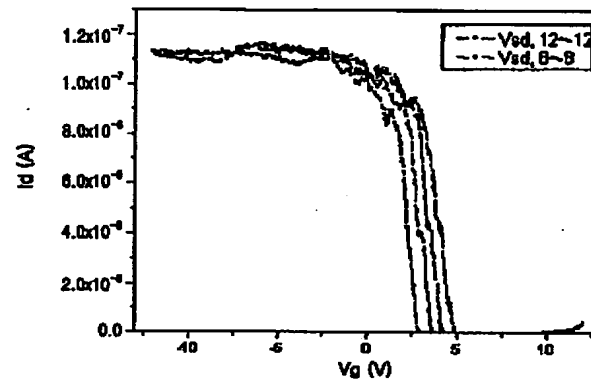
【図9】



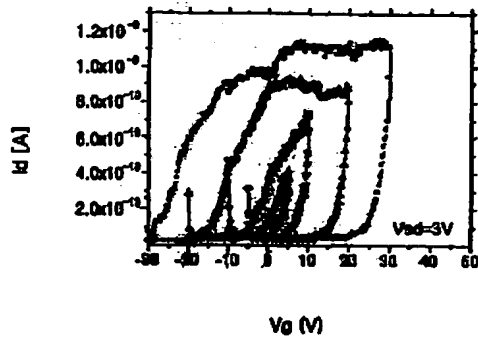
【図10】



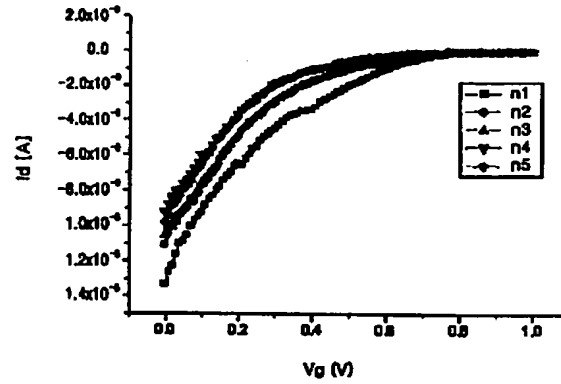
【図11A】



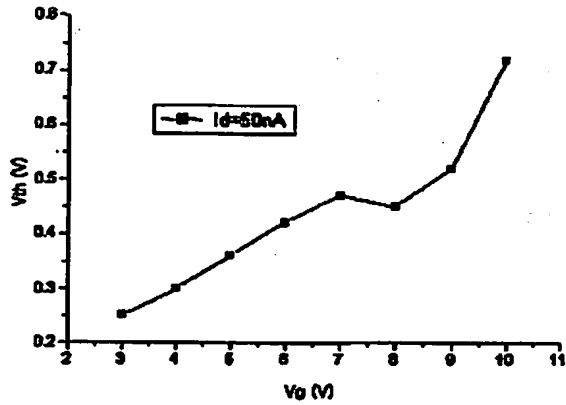
【図11B】



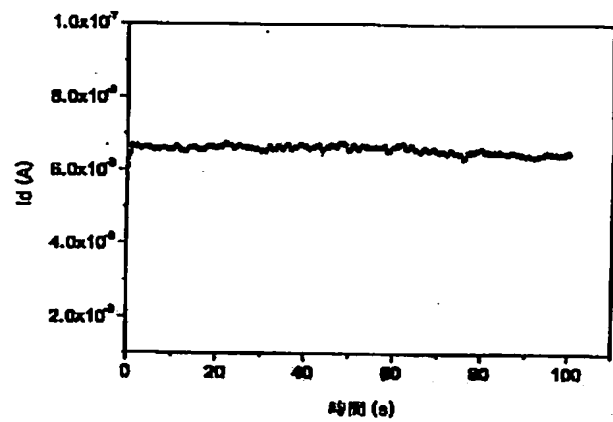
【図12】



【図13】



【図15】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H01L 29/788

29/792

識別記号

F I

テーマコード (参考)

(72)発明者 柳 寅 ▲敬▼

大韓民国 京畿道 水原市 八達区 靈通  
洞 973-3 番地 斗山アパート 805棟  
505号

(72)発明者 周 齊 ▲立▼

大韓民国 京畿道 光明市 所下1洞 55  
番地 東洋アパート 101棟 1802号  
F ターム (参考) 5F083 EP17 EP42 ER11 JA02 JA04  
JA19 JA32 JA38 JA39 PR21  
PR34  
5F101 BA45 BA47 BC02 BD13 BH02  
BH16